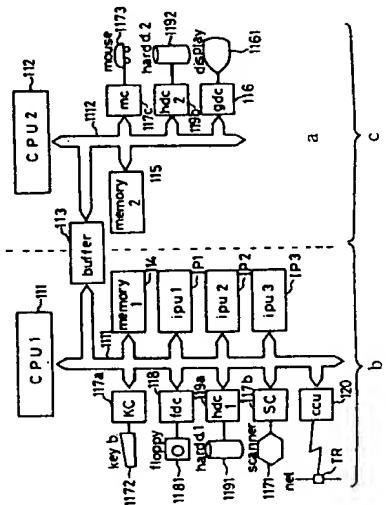


(54) PICTURE PROCESSING DEVICE

(11) 60-1967 (A) (43) 8.1.1985 (19) JP
 (21) Appl. No. 58-108687 (22) 17.6.1983
 (71) RICOH K.K. (72) MORIZUMI KUROSE
 (51) Int. Cl. H04N1/00, G06F3/02, G06F3/033, G06F15/62

PURPOSE: To process a data in high speed and also with high picture quality even if the input/output devices differ in data processing density by processing the data with a high scanning density and outputting the data through low density conversion just before the data is outputted to an output device in low scanning density in case editing and processing image, vector and text.

CONSTITUTION: Various functions for a work station are provided. It is an image processing unit IP2 in which the high density image is converted into a low density image or vice versa. Picture elements controlled by a processor 112 and connected to a bus 112 are set to the low density processing since a CRT display 1161 is of low density and the moving unit of a mouse 1173 is of low density. In transmitting a document image data, the data is fed through the low density conversion through the image processing unit IP2, and in case receiving the document image data, the data and the image data in the document data are converted into high density through the image processing unit IP2.



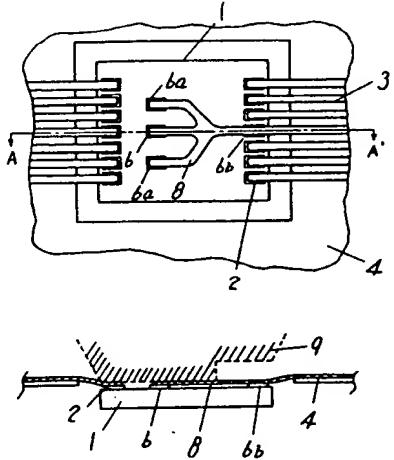
a: video sub-system, b: high density, c: low density

(54) SEMICONDUCTOR DEVICE

(11) 60-1968 (A) (43) 8.1.1985 (19) JP
 (21) Appl. No. 58-109531 (22) 17.6.1983
 (71) MATSUSHITA DENKI SANGYO K.K. (72) IZUMI OKAMOTO(1)
 (51) Int. Cl. H04N1/00, B65H39/11, G03G15/00

PURPOSE: To prevent the generation of exfoliation of a projected electrode and to suppress the voltage drop due to wirings by connecting the 1st conductor lead to the projected electrode formed at the surrounding part of a semiconductor element, and connecting the 2nd conductor lead to the projected electrode formed at the inside of the semiconductor element.

CONSTITUTION: A conductor lead 3 constituting a film carrier with a base film 4 and drawn therefrom is connected to the projected electrode 2 provided at the surrounding part of the semiconductor element 1. Further, a conductor lead 8 for power line is drawn from the base film to the inside of the semiconductor element 1, branched and connected to the projected electrodes 6, 6a provided at the inside of the semiconductor element 1. Through the construction above, edge-touch is prevented and also the projected electrode (b) and the projected electrode 6a are connected by the curved conductor lead 8, and the projected electrode 6 and a dummy projected electrode 6b are not connected mechanically, so that the thermal stress due to the difference in thermal expansion coefficient between the semiconductor element 1 and the conductor lead 8 is absorbed by the curved part and the dummy projected electrode 6b.

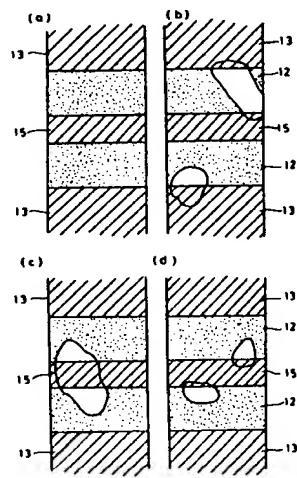


(54) CONTACT TYPE IMAGE SENSOR

(11) 60-1969 (A) (43) 8.1.1985 (19) JP
 (21) Appl. No. 58-108839 (22) 17.6.1983
 (71) FUJITSU K.K. (72) MASUJI SATOU(3)
 (51) Int. Cl. H04N1/028, G06K9/20, H01L27/14

PURPOSE: To realize uniformed reading accuracy by providing a pattern in a way that a part in bits is divided into two by an electrode forming material to form a low resistance part in the bit in the stage of electrode formation thereby decreasing the probability of mis-reading of a minute wire.

CONSTITUTION: An intermediate electrode pattern of a low resistance equivalent to an aggregation is provided intentionally in the bit. The intermediate electrode, i.e., a minute wire pattern 15 is formed actually with the same material as that forming both electrodes at the selection side of a group side and divides a part in the bit into two. Then the distance between the electrodes is set equal to or slightly smaller than the sub-scanning line width. Fig. (a) shows the state without any aggregation, Figs. b, c, d indicate the state where the aggregation 14 exists. Since the minute wire pattern 15 is provided in the bit shown in Fig. (a), a high resistance ratio is avoided. Since each bit shown Figs. c, d includes all the aggregation, the part does not contribute to the photoelectric conversion but rather to the low resistance ratio and the suppression of variance in the resistance value distribution.



⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60-1968

⑬ Int. Cl.⁴

H 04 N 1/00
B 65 H 39/11
G 03 G 15/00

識別記号

108
113

序内整理番号

7334-5C
7816-3F
6691-2H

⑭ 公開 昭和60年(1985)1月8日

発明の数 1

審査請求 未請求

(全 4 頁)

⑮ 半導体装置

⑯ 特 願 昭58-109531

⑰ 出 願 昭58(1983)6月17日

⑱ 発明者 岡本泉

門真市大字門真1006番地松下電
器産業株式会社内

⑲ 発明者 御幡正芳

門真市大字門真1006番地松下電
器産業株式会社内

⑳ 出願人 松下電器産業株式会社
門真市大字門真1006番地

㉑ 代理人 弁理士 中尾敏男 外1名

明細書

1、発明の名称

半導体装置

2、特許請求の範囲

(1) 可撓性のベースフィルムに第1, 第2の導電リードを形成したフィルムキャリアと、突起電極を周辺部及び内部に形成した半導体素子とを具備し、前記半導体素子の周辺部に形成した前記突起電極に前記第1の導電リードが接続され、前記半導体素子の内部に形成した前記突起電極に接続される前記第2の導電リードを支持するダミーの突起電極が前記半導体素子の周辺部に設けられ、かつそのダミーの突起電極と前記第2の導電リードが接続されていないことを特徴とする半導体装置。

(2) 第2の導電リードが彎曲されて半導体素子の内部に形成した突起電極と接続されていることを特徴とする特許請求の範囲第(1)項記載の半導体装置。

(3) 第2の導電リードが分歧され、半導体素子の内部に形成した複数の突起電極と接続されている

ことを特徴とする特許請求の範囲第(1)項記載の半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は可撓性フィルムとそれに固定した多数の突起電極を有する半導体素子を熱圧着によって接続するいわゆるギャングボンディング方式の半導体装置に関するものである。

従来例の構成とその問題点

通常、半導体素子内の配線は信号ラインと電源ラインに大別されるが、大電流を必要とする半導体素子の場合、配線抵抗による電圧降下が問題となる。通常、半導体素子内の配線はスペッタリングや真空蒸着で形成するため、その配線を厚くすることは工芸的に不可能であり、したがってその電圧降下を許容限度内に抑えるために半導体素子で電源ラインの配線幅を広くしたり、多層配線を採用するといった対策がとられているが、前者の対策は素子面積の増大を招き、後者の対策は製造工程数が増加するばかりでなく配線構造が複雑に

なり、歩留りを下げるという欠陥がある。

そこで、大電流を必要とする半導体素子において前記のコストアップを招く対策を取ることなく、しかも電源ラインの電圧降下を小さくすることが可能なギャングボンディング方式の半導体装置が提案されている。

このようなギャングボンディング方式の半導体装置の従来例を第1図a及びbに示す。第1図bは第1図aのA-A'断面図である。

半導体素子1の周辺部に設けられた突起電極2にベースフィルム4から伸延したそれとでフィルムキャリアを構成する導電リード3が接続される。また、電源ライン用の突起電極6, 6a及び6bを半導体素子1の内部及び周辺部に設け、ベースフィルム4から伸延した導電リード5及び5aをこの突起電極6, 6a及び6bに接続する。この一連の接続は第1図bに示すボンディングツール7でもって突起電極2, 6, 6a及び6bと導電リード3, 5及び5aを同時に熱圧着することである。

なされたものであり、コストアップを招くことなく、各材料の熱膨張係数の違いによる熱ストレスの問題を完全に解決できる半導体装置を提供しようとするものである。

発明の構成

この目的を達成するためには発明における半導体装置は、可塑性のベースフィルムに第1, 第2の導電リードを形成したフィルムキャリアと、突起電極を周辺部及び内部に形成した半導体素子とを具備し、前記半導体素子の周辺部に形成した前記突起電極に前記第1の導電リードが接続され、前記半導体素子の内部に形成した前記突起電極に接続される前記第2の導電リードを支持するダミーの突起電極が前記半導体素子の周辺部に設けられ、かつそのダミーの突起電極と前記第2の導電リードが接続されていない構成としたものである。この構成によれば、第2の導電リードと半導体素子端面との電気的短絡を前記のダミーの突起電極によって防止し、かつ第2の導電リードとダミーの突起電極が接続されないことにより、熱ストレ

尚、突起電極6は半導体素子1の内部へ伸延した導電リード5と半導体素子1の端面部分の電気的短絡(以下エッジタッチと称す)の発生を防止する役割を持つ。

この第1図の従来例により、電源ラインの取出しを半導体素子1の内部及び周辺部で、かつ任意の複数の場所で行える。また、導電リード5, 5aは通常18μm, 36μmの細径を用いるため、コストアップを招かず電圧降下を無視できる効果がある。

しかし、突起電極6と突起電極6b間に導電リード5が、また突起電極6と突起電極6a間に導電リード5aが接続されることにより、半導体素子1の主材料(通常Si)と導電リード5及び5aの主材料(通常Cu)の熱膨張係数の違いによる熱ストレスが発生し、突起電極6, 6a及び6bの剥離や、導電リード5及び5aが剥離または断線するといった問題がある。

発明の目的

本発明はこのような従来例の欠点を除去すべく

による第2の導電リードの切断や、第2の導電リードに接続される突起電極の剥離といった問題の発生を防止することができる。

実施例の説明

以下、本発明の一実施例を第2図a及び第2図bで説明する。第2図bは第2図aのA-A'断面図である。また、従来例と同一部分には同一番号を付してある。

半導体素子1の周辺部に設けられた突起電極2にベースフィルム4から伸延したそれとでフィルムキャリアを構成する導電リード3が接続される。また、電源ライン用の導電リード8はベースフィルムから半導体素子1の内部へと伸延し、分岐され、半導体素子1の内部に設けられた突起電極6及び6aに接続する。ここで、導電リード8の下部で、かつ半導体素子1の周辺部の位置にダミーの突起電極6bを設ける。このダミーの突起電極6bは突起電極2, 6及び6aと同じ製造工程で形成されるパンプ端子であり、エッジタッチ効果に有効である。

以上の突起電極2と導電リード3、突起電極6a及び6bと導電リード8は第3図bに示すポンディングツール10によって同時に熱圧着される。

しかし、導電リード8とダミーの突起電極6bは第3図に示すように先期部に凹み部分10を設けたポンディングツール9を用いることによって、熱圧着されない。

以上説明した本具体例の構造により、エッジタッチを防止できる以外に、突起電極6aと突起電極6b間は湾曲した導電リード8によって接続され、突起電極6aとダミーの突起電極6b間は機械的に接続されないため、半導体素子1と導電リード8の熱膨張係数の違いによる熱ストレスが湾曲部とダミーの突起電極6bで吸収され、突起電極6bで吸収され、突起電極6a及び6bの剥離、または導電リード8の断線は発生しない。

発明の効果

以上説明した本発明の具体例を実施することにより、フィルムキャリアの製造工程及び熱圧着における工数を従来の半導体素子まで、消費電力が大なる半

導体装置でも半導体素子の面積を大とすることなく、配線による低圧降下を抑えることが可能な半導体装置を提供することができる。そして、従来問題であったエッジタッチや、各材料の熱膨張係数の違いによる熱ストレスの問題を完全に解決できるという大きな利点が得られる。

尚、実施例の説明では電源用配線について記述したが、本発明は信号用配線についても適用できることは明らかである。

4. 図面の簡単な説明

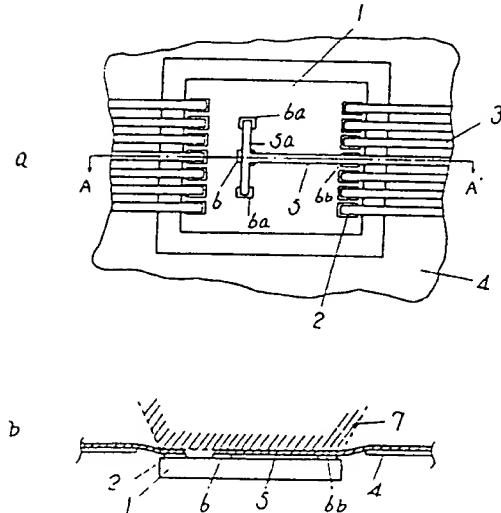
第1図aは従来の半導体素子内へ導電リードを伸延したギャングポンディング方式の半導体接続を示す平面図、第1図bは第1図aのA-A'断面図、第2図aは本発明の半導体装置の一実施例を示す平面図、第2図bは第2図aのA-A'断面図、第3図は本発明の半導体装置に用いるポンディングツールの先端形状を示す図である。

1 ……半導体素子、2 ……周辺部の突起電極、
3 ……第1の導電リード、4 ……ベースフィルム、
6a・6b ……内部の突起電極、6b ……ダミーの

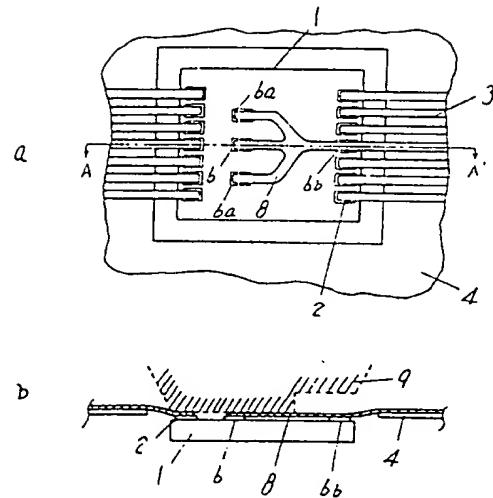
突起電極、8 ……第2の導電リード。

代理人の氏名 井端士 中 16 敏 男 にかく名

第1図



第 2 図



第 3 図

